

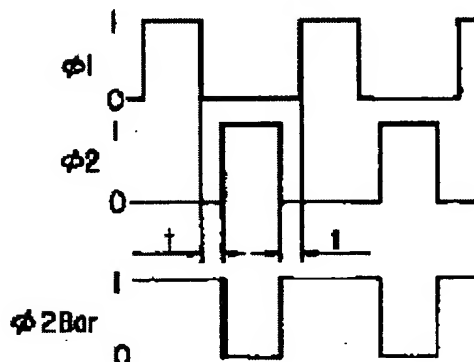
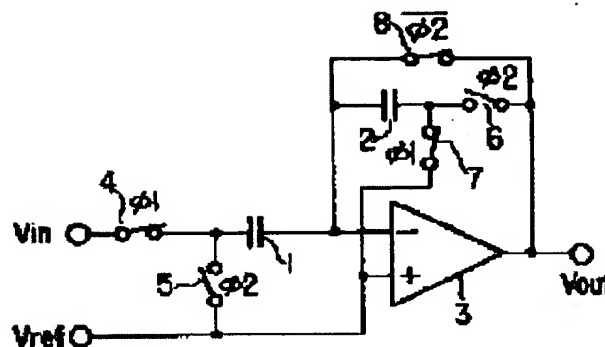
**SWITCHED CAPACITOR MULTIPLIER**

**Patent number:** JP9027731  
**Publication date:** 1997-01-28  
**Inventor:** TAKAHASHI MITSURU; HIRANO TETSUO  
**Applicant:** NIPPONDENSO CO LTD  
**Classification:**  
- **International:** H03H19/00  
- **European:**  
**Application number:** JP19950175044 19950711  
**Priority number(s):**

**Abstract of JP9027731**

**PROBLEM TO BE SOLVED:** To secure high-speed operation and avoid the occurrence of an output error by performing on-off control over a 1st and a 2nd switch with two-phase clocks having a nonoverlap period of high level and also performing on-off control over a 3rd switch for charging to a 2nd capacitor with the inverted signal of the clock supplied to the 2nd switch.

**SOLUTION:** The switch 4 is turned on by being controlled with the two-phase clocks  $\phi 1$  and  $\phi 2$  whose high level periods do not overlap with each other, the capacitor C1 is charged with an input signal IN, and a capacitor C2 having the same capacity with the capacitor C1 is completely discharged when a switch 7 is turned on. Then the switches 4 and 7 turn OFF, the capacitor C1 is discharged to charge the capacitor C2, and when the charging turns to discharging with a switch 6 ON, a switch 8 is turned on with the inverted clock  $\phi 2$ , so that there is not a period wherein the DC feedback path of an operational amplifier 3 is open. Consequently, the generation of an output error and a decrease in the operation speed due to unnecessary charge accumulation are eliminated.



**THIS PAGE BLANK (USPTO)**

(51) Int. Cl. <sup>6</sup>  
H03H 19/00

識別記号  
8842-5J

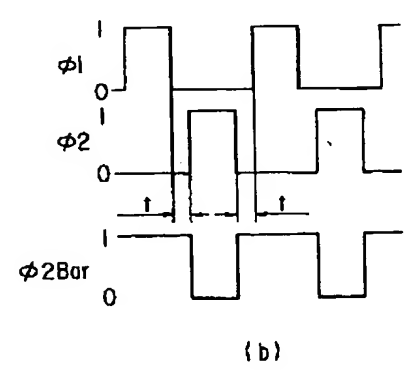
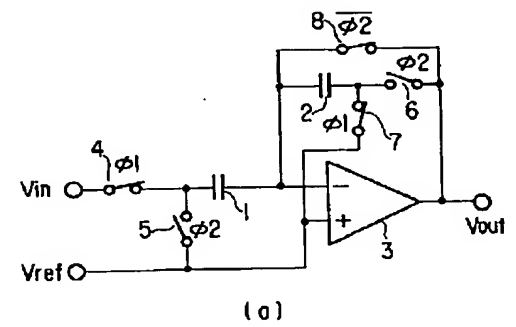
F I  
H03H 19/00

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号	特願平7-175044	(71) 出願人	000004260 株式会社デンソー 愛知県刈谷市昭和町1丁目1番地
(22) 出願日	平成7年(1995) 7月11日	(72) 発明者	高橋 充 愛知県刈谷市昭和町1丁目1番地 日本電 装株式会社内
		(72) 発明者	平野 哲夫 愛知県刈谷市昭和町1丁目1番地 日本電 装株式会社内
		(74) 代理人	弁理士 鈴江 武彦

(54) 【発明の名称】 スイッチトキャパシタ乗算器

(57) 【要約】  
【課題】 従来技術では、スイッチの切換えの際に、演算増幅器に直流帰還回路が存在しない時間を生じて、出力誤差が発生するとともに回路の動作スピードが制限されるという問題が生じる。  
【解決手段】 本発明は、第1のキャパシタ1に充電された電荷を第2のキャパシタ2に充電を行うためのスイッチ6及び、該キャパシタ2から放電を行うためのスイッチ7を有し、スイッチ6の切換えと同時に、該スイッチ7の導通、非導通とは反転する状態にスイッチ8を切換え、切換えの際に演算増幅器の直流帰還回路の不在状態をなくすスイッチトキャパシタ乗算器である。



**THIS PAGE BLANK (USPTO)**

## 【特許請求の範囲】

【請求項 1】 演算増幅器と、前記演算増幅器の反転入力端子に接続された第 1、第 2 のキャパシタと、前記第 1 のキャパシタと信号入力端子間に接続され、前記第 1 のキャパシタへの電荷の充放電を行う第 1 のスイッチ手段と、前記第 2 のキャパシタと前記演算増幅器の出力端子間に接続され、前記第 2 のキャパシタへの電荷の充放電を行う第 2 のスイッチ手段と、前記演算増幅器の出力端子と反転入力端子間に接続された第 3 のスイッチと、を具備するスイッチトキャパシタ乗算器において、前記第 1、第 2 のスイッチ手段は、ハイレベルの非重複期間を持つ 2 相クロックで導通及び非導通が制御されると共に、前記第 3 のスイッチは、前記第 2 のキャパシタへの電荷の充電を制御するために前記第 2 のスイッチ手段に供給されるクロックの反転信号で導通、非導通が制御されることを特徴とするスイッチトキャパシタ乗算器。

【請求項 2】 前記スイッチトキャパシタ乗算器の第 2 のスイッチ手段が、第 2 のキャパシタに充電を行うための第 1 スwitch 及び、該第 2 のキャパシタから放電を行うための第 2 スwitch を有し、前記第 1 スwitch の切換えと同時に、第 1 スwitch の導通、非導通とは反転する状態に前記第 3 のスイッチを切換えることを特徴とする請求項 1 記載のスイッチトキャパシタ乗算器。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、スイッチトキャパシタフィルタ等に用いられるスイッチトキャパシタ回路に関するものである。

## 【0002】

【従来の技術】従来の技術によるスイッチトキャパシタ乗算器の構成例を図 4 (a) に示す。このスイッチトキャパシタ乗算器は、キャパシタ 21、22、演算乗算器 23、キャパシタ 21 に対して、それぞれ電荷を充電、放電するためのスイッチ 24、25、キャパシタ 22 に対して、それぞれ電荷を充電、放電するためのスイッチ 26、27、そして、演算増幅器 23 の直流動作を安定化するためのスイッチ 28 とで構成される。また、信号入力端子  $V_{in}$ 、基準電圧入力端子  $V_{ref}$ 、出力端子  $V_{out}$  が設けられている。

【0003】このような構成において、スイッチ 24 ~ 27 は、図 4 (b) に示すようなハイレベルの非重複期間  $t$  (ノンオーバーラップ時間) を持つ 2 相クロック  $\phi 1$ 、 $\phi 2$  で導通、非導通が制御され、例えば、図示したタイミングで動作する。ここで、従来の技術では、スイッチ 28 の導通、非導通を制御するクロックとして、キャパシタ 22 への充電のタイミング  $\phi 2$  とは、逆相のタイミング  $\phi 1$  で導通させる構成がとられている。但し、 $\phi 1$ 、 $\phi 2$  は 1 で導通状態、 $\phi 1$ 、 $\phi 2$  は 0 で非導通状態であ

るものとする。

## 【0004】

【発明が解決しようとする課題】しかしながら、前述した構成では、2 相クロック  $\phi 1$  と  $\phi 2$  のノンオーバーラップ時間  $t$  の間、演算増幅器 23 には直流帰還回路が存在しないため、このノンオーバーラップ時間  $t$  に出力  $V_{out}$  が飽和する側に変動してしまい、出力誤差が発生する。この状態を図 5 (a) 及び同図のノンオーバーラップ時間  $t$  に置ける部分拡大を図 5 (b) に示す。

【0005】また、この出力変動によりキャパシタ 22 には必要以上の電荷が蓄積されるため、電荷の放電動作が遅くなるという問題が生じる。この電荷放電動作が遅くなり、電荷が“0”にリセットされないまま、次のサイクルの充電が行われると、図 6 に示すように、出力  $V_{out}$  の収束値に影響を与えてしまう。このため、回路の動作スピードを遅くしなくてはならない。具体的には、クロック信号  $\phi 1$ 、 $\phi 2$  の周波数を低くする。

【0006】このように従来技術では、出力誤差が発生するとともに回路の動作スピードが制限されるという問題が生じる。そこで本発明は回路の高速動作を確保し、且つ出力誤差の発生を回避可能なスイッチトキャパシタ乗算器を提供することを目的とする。

## 【0007】

【課題を解決するための手段】本発明は上記目的を達成するために、演算増幅器と、前記演算増幅器の反転入力端子に接続された第 1、第 2 のキャパシタと、前記第 1 のキャパシタと信号入力端子間に接続され、前記第 1 のキャパシタへの電荷の充放電を行う第 1 のスイッチ手段と、前記第 2 のキャパシタと前記演算増幅器の出力端子間に接続され、前記第 2 のキャパシタへの電荷の充放電を行う第 2 のスイッチ手段と、前記演算増幅器の出力端子と反転入力端子間に接続された第 3 のスイッチと、を具備するスイッチトキャパシタ乗算器において、前記第 1、第 2 のスイッチ手段は、ハイレベルの非重複期間を持つ 2 相クロックで導通及び非導通が制御されると共に、前記第 3 のスイッチは、前記第 2 のキャパシタへの電荷の充電を制御するために前記第 2 のスイッチ手段に供給されるクロックの反転信号で導通、非導通が制御されるスイッチトキャパシタ乗算器を提供する。

【0008】以上のような構成のスイッチトキャパシタ乗算器により、第 3 のスイッチを導通させるタイミングには、2 相化したタイミング信号  $\phi 1$ 、 $\phi 2$  のタイミング信号  $\phi 1$  を用いずに、第 2 のキャパシタに電荷を充電するタイミング信号  $\phi 2$  に対して反転したタイミング信号  $\phi 2\text{Bar}$  (タイミング信号  $\phi 2$  の反転信号) を用い、第 3 のスイッチを導通、非導通させて、切換えの際の演算増幅器の帰還路の不在状態をなくす。

## 【0009】

【発明の実施の形態】以下、図面を参照して本発明の実施形態を詳細に説明する。図 1 (a) には、本発明によ

るスイッチトキャパシタ乗算器の回路構成を示し、図1 (b) には、図中のスイッチの電位を示すタイミングチャートを示す。

【0010】このスイッチトキャパシタ乗算器は、キャパシタ1、2、演算乗算器3、キャパシタ1に電荷を充電するためのスイッチ4及びその電荷を放電するためのスイッチ5、キャパシタ2に電荷を充電するためのスイッチ6及びその電荷を放電するためのスイッチ7、そして、演算増幅器3の直流帰還路を確保し、回路の直流動作を安定化させるスイッチ8とで構成され、信号入力端子Vin、基準電圧入力端子Vref、出力端子Voutが設けられている。

【0011】このスイッチトキャパシタ乗算器において、信号入力端子Vin側からスイッチ4、キャパシタ1を介して演算乗算器3の(−)入力端子(反転入力端子)に接続する。また、基準電圧入力端子Vref側は、他端が前記スイッチ4とキャパシタ1間に接続するスイッチ5の一端、前記演算乗算器3の(+)入力端子及び、スイッチ7の一端に接続する。前記キャパシタ1と演算乗算器3の負(−)入力端子間に、キャパシタ2の一端及び、スイッチ8の一端が接続する。キャパシタ2の他端は前記スイッチ7の他端及びスイッチ6の一端に接続する。前記スイッチ8の他端及び、前記スイッチ6の他端は、前記演算乗算器3の出力端子に接続され、この出力端子は、出力端子Voutに接続する。

【0012】このように接続構成されたスイッチトキャパシタ乗算器の動作について説明する。前記キャパシタ2の容量値をC、キャパシタ1の容量値kC(kは定数)とすると、( $\phi 1$ ,  $\phi 2$ ) = (1, 0)の状態ではスイッチ4が導通して入力信号Vinのサンプリングが行われ、キャパシタ1には容量値kCに対して、kC Vinの電荷が充電される。この時、スイッチ7が導通状態となるため、キャパシタ2の電荷は完全に放電される。但し、タイミング信号 $\phi 1$ 、 $\phi 2$ は1で導通状態、タイミング $\phi 1$ 、 $\phi 2$ は0で非導通状態であるものとする。

【0013】次に、タイミングが切替わり、( $\phi 1$ ,  $\phi 2$ ) = (0, 1)の状態となると、キャパシタ1の電荷は、キャパシタ2に転送され、出力電圧は、 $V_{out} = k C V_{in} / C = k V_{in}$ と入力のk倍の電圧となる。次に、再び、( $\phi 1$ ,  $\phi 2$ ) = (1, 0)の状態となると、本発明では、スイッチ8を導通させるタイミングとして、キャパシタ2への充電タイミング信号 $\phi 2$ (スイッチ6が導通状態)の反転した信号(以下、反転信号 $\phi 2\bar{a}$ とする)を用いているため、演算増幅器3の帰還路が実質的にオープンとなる時間がない。

【0014】このような動作による効果について説明する。図2には、図1に示す本実施形態による動作と、図4に示した従来技術による動作を比較したシュミレーション結果を示す。図2(a)は、スイッチを制御するための2相クロックと出力波形を示しており、図2(b)

は、ノンオーバーラップ時間tにおける同図(a)の出力波形の部分拡大図を示す。

【0015】図2に示すように、本実施形態では、ノンオーバーラップ時間に出力Voutが飽和する側に変動しないことと、ノンオーバーラップ時間分だけキャパシタ2の電荷の放電動作が早く始まることにより、放電動作が早く収束するだけでなく、出力誤差も小さくなるという利点があることがわかる。

【0016】また、タイミングスイッチ4~8は、通常、図3に示すようにPチャンネルトランジスタ11とNチャンネルトランジスタ12との並列接続であるCMOSアナログスイッチで構成される。

【0017】本実施形態において、タイミング信号 $\phi 2\bar{a}$ arを利用しているが、従来技術においてもタイミングスイッチ4~7では、タイミング信号 $\phi 1$ 、 $\phi 2$ 、 $\phi 2\bar{a}$ ar、 $\phi 1\bar{a}$ ar(タイミング信号 $\phi 1$ の反転信号)をすでに使用していたため、本実施形態の実施にあたって、新たに $\phi 2\bar{a}$ arといったタイミング信号を作る必要はなく、よってコスト(面積)的にみても全く不利になることはない。なお、図1に示す実施形態において、スイッチ4~7を制御するタイミングは、 $\phi 1$ 、 $\phi 2$ を入れ替えてもよい。但し、この場合は、スイッチ8を制御するタイミング信号は $\phi 1\bar{a}$ arとなる。

【0018】以上のことから、本実施形態において、スイッチ8とスイッチ6の切替わりが同時に行われるため、演算増幅器に直流帰還回路が不在してしまう状態がなくなり、これを原因とする出力誤差の発生や必要以上の電荷の蓄積による動作スピードの遅れがなくなる。

【0019】

【発明の効果】以上詳述したように本発明によれば、コストの増加なしで、高速動作と共に出力の高精度化が可能なスイッチトキャパシタ乗算器を提供することができる。

【図面の簡単な説明】

【図1】本発明による実施形態としてのスイッチトキャパシタ乗算器の構成例と、その動作タイミングを示す図である。

【図2】本発明の効果を説明するために本実施形態の特性と従来技術の特性とを比較した図である。

【図3】本発明のスイッチトキャパシタ乗算器に用いたスイッチの構成例を示す図である。

【図4】従来技術によるスイッチトキャパシタ乗算器の構成を示す図である。

【図5】従来技術によるスイッチトキャパシタ乗算器の問題点を説明するための特性を示す図である。

【図6】従来技術によるスイッチトキャパシタ乗算器の問題点を説明するための出力特性を示す図である。

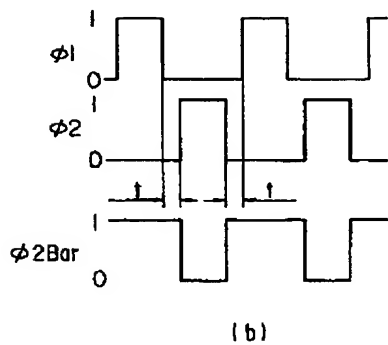
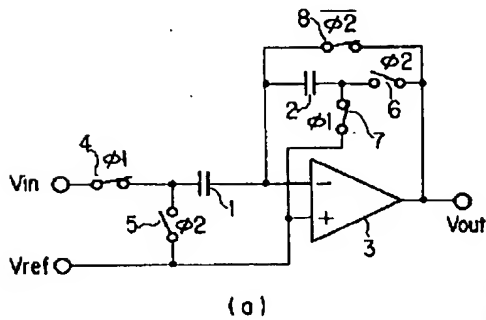
【符号の説明】

1, 2…キャパシタ、3…演算乗算器、4, 5, 6, 7, 8…スイッチ、Vin…信号入力端子、Vref

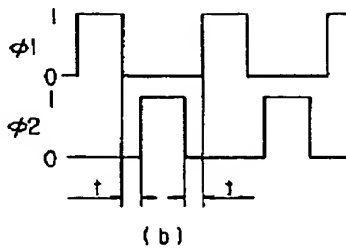
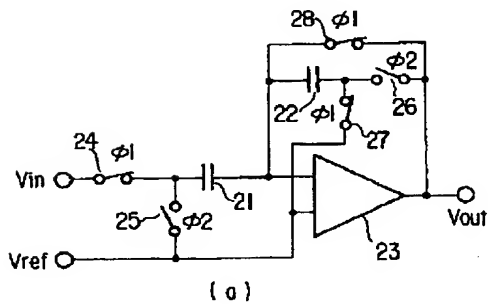
…基準電圧入力端子、Vout …出力端子、 $\phi 1$  ,  $\phi 2$  ,

$\phi 2\text{Bar}$  ,  $\phi 1\text{Bar}$ …タイミング信号。

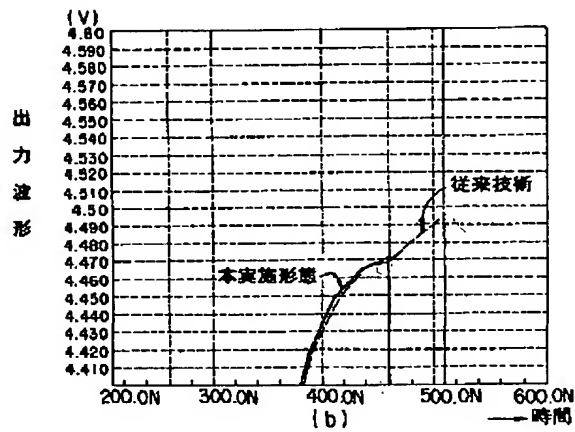
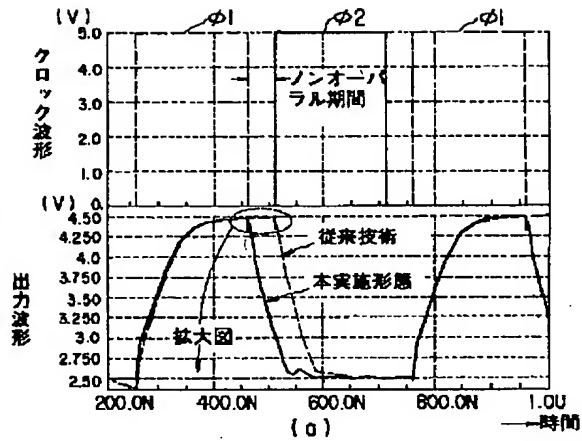
【図 1】



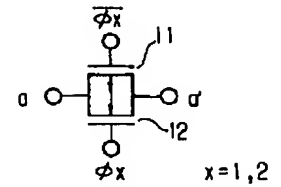
【図 4】



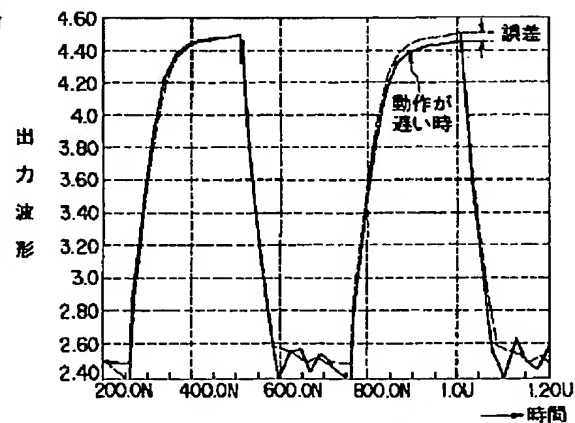
【図 2】



【図 3】



【図 6】



【図 5】

